

WRITTEN REPLY

Patent Office Examiner Masayuki Yanagishita

1. Identification of the International
Application

PCT/JP03/00403

2. Applicant

Name HITACHI, LTD.

Address 6, Kanda Surugadai 4-chome,
Chiyoda-ku.

TOKYO 101-8010 JAPAN

Country of Nationality JAPAN

Country of residence JAPAN

3. Agent

Name (8907) TAMURA Shizuyo

Address Room 42, Shin Yamashiro Building,
10, Kanda Ogawamachi 2-chome,
Chiyoda-ku,

TOKYO 101-0052 JAPAN

4. Date of Mailing May 6, 2003

5. What is Replied

(1) Mr. Examiner found that the aspects of the invention according to Claims 1 to 14 and 18 to 31 did not involve unobviousness according to Documents 1 to 8 listed below:

Document 1: T. Kawahara, M. Horiguchi, J. Etoh, T. Sekiguchi, K. Kimura, M. Aoki, "Low-Power Chip Interconnection by Dynamic Termination," IEEE J. of Solid-State Circuits, Vol. 30, No. 9, Sep. 30, 1995, pp. 1030-1034

Document 2: JP 2-235435 A

(2) General Description of the Invention

The applicant restricted and corrected the claims in Written Amendment as of the same date as the relevant Written Reply. The main points of correction are as follows: Claim 3 was deleted, and Claims 4 and 5 were rewritten as independent claims in conjunction with this.

The aspects of the invention according to Claims 1 and 2 are characterized in that: an output circuit is provided which is so set that the driving force during the second half of signal transition is lower than the driving force during the first half of transition; and thereby, production of reflected waves in signal output

is suppressed, and the necessity for external components, such as damping resistors and terminator resistors, is obviated.

The aspects of the invention according to Claims 8 and 9 are characterized in that: an output circuit is provided which includes a first output circuit that can drive an external load based on the output signal of an internal circuit during the first half of transition of a signal to be outputted, and a second output circuit whose driving force is set lower than that of the first output circuit and which can drive the external load; during a period for which the first output circuit is not involved with load driving (second half of signal transition), the external load is driven by the second output circuit; and thereby, production of reflected waves is suppressed, and the necessity for external components, such as damping resistors and terminator resistors, for impedance matching is obviated.

(3) Comparison of Cited Inventions with the Invention

The output circuit (output buffer 2, level detection circuit 3, and ternary output buffer)

illustrated in FIG. 2 of Cited Document 2 is devised so that the following is implemented: when a load is increased, the output level is prevented from being lowered due to insufficient current, and after the output level varies, a current is prevented from being passed. As is apparent from the description in Cited Document 2, no consideration is given to suppression of reflected waves during output signal transition. More specific description will be given. Cited Document 2 describes that: when the output level is lowered due to LOW to HIGH transition or HIGH to LOW transition of a signal and increase in load, a ternary output buffer 4 outputs a signal corresponding to input; lowering of the output level is prevented as LOW to HIGH transition or HIGH to LOW transition becomes steep. However, the cited document does not give description at all to with what timing of transition of an input signal supplied to input 1, the ternary output buffer 4 transitions from active state to non-active state. (That is, with what timing of transition of an input signal supplied to input 1, the output driving force changes from high to low.) An example will be given. It is inferred

that the timing with which the ternary output buffer 4 transitions from active state to non-active state is deeply related to the delay time of devices or the logic threshold level in the level conversion circuit 3. However, Cited Document 2 does not give description at all to whether the ternary output buffer 4 transitions from active state to non-active state before an input signal completely transitions (the second half of signal transition) or after an input signal has completely transitioned. For this reason, when a circuit constant is so set that the ternary output buffer 4 transitions from active state to non-active state after an input signal has completely transitioned, a problem arises. Since the ternary output buffer 4 transitions from active state to non-active state, production of reflected waves during signal transition cannot be suppressed. Therefore, reflected waves can be produced due to steep signal transition. Accordingly, some systems to which the relevant output circuit is applied may require external components, such as damping resistors and terminator resistors, for impedance matching.

Meanwhile, the output circuit according to Claims 1 and 2 of the invention brings about the following advantageous effect: the driving force during the second half of signal transition is set lower than the driving force during the first half of transition; as a result, production of reflected waves during signal transition can be suppressed, and thus, the necessity for external components, such as damping resistors and terminator resistors, for impedance matching is obviated. Therefore, it is believed that the aspects of the invention according to Claims 1 and 2 cannot be easily made by those skilled in the art using the output circuit described in Cited Document 2 and the input circuit described in Cited Document 1, and the invention involves nonobviousness.

Mr. Examiner found the following: Cited Document 2 describes that as a logic signal output circuit, an output circuit that drives an external load only during the first half of transition of a signal to be outputted is connected in parallel with an ordinary output circuit; and thereby the overall driving force is enhanced during the first half of transition

and thereafter the driving force is relatively reduced.

As mentioned above, Cited Document 2 describes that: when the output level is lowered due to LOW to HIGH transition or HIGH to LOW transition of a signal and increase in load, a ternary output buffer 4 outputs a signal corresponding to input; lowering of the output level is prevented as LOW to HIGH transition or HIGH to LOW transition becomes steep. However, the cited document does not give description at all to with what timing of transition of an input signal supplied to input 1, the ternary output buffer 4 transitions from active state to non-active state. Therefore, it cannot be understood that the ternary output buffer 4 in Cited Document 2 drives an external load only during the first half of transition of a signal to be outputted.

The aspects of the invention according to Claims 8 and 9 are so constructed that an output circuit is provided which includes a first output circuit that can drive an external load based on the output signal of an internal circuit during the first half of transition of a signal to be

outputted, and a second output circuit whose driving force is set lower than that of the first output circuit and which can drive the external load. The first output circuit is different in functions from the ternary output buffer 4 in the Cited Document 2. Therefore, it is believed that the aspects of the invention according to Claims 8 and 9 involve novelty.

As mentioned above, it is inferred from Cited Document 2 that the timing with which the ternary output buffer 4 transitions from active state to non-active state is deeply related to the delay time of devices or the logic threshold level in the level conversion circuit 3. However, Cited Document 2 does not give description at all to whether the ternary output buffer 4 transitions from active state to non-active state before an input signal completely transitions (during the first half of signal transition) or after an input signal has completely transitioned. For this reason, when a circuit constant is so set that the ternary output buffer 4 transitions from active state to non-active state after an input signal has completely transitioned, a problem arises.

Since the ternary output buffer 4 transitions from active state to non-active state, production of reflected waves during signal transition cannot be suppressed. Therefore, reflected waves can be produced due to steep signal transition. Some systems to which the relevant output circuit is applied may require external components, such as damping resistors and terminator resistors, for impedance matching.

Meanwhile, the aspects of the invention according to Claims 8 and 9 are so constructed that an output circuit is provided which includes a first output circuit that can drive an external load based on the output signal of an internal circuit during the first half of transition of a signal to be outputted, and a second output circuit whose driving force is set lower than that of the first output circuit and which can drive the external load; during a period for which the first output circuit is not involved with load driving (second half of signal transition), the external load is driven by the second output circuit; and thereby the following advantageous effects are brought about:

production of reflected waves is suppressed and the necessity for external components, such as damping resistors and terminator resistors, for impedance matching is obviated. Therefore, it is believed that the aspects of the invention according to Claims 8 and 9 cannot be easily made by those skilled in the art using the output circuit described in Cited Document 2 and the input circuit described in Cited Document 1, and the invention involves nonobviousness.

According to the foregoing, it is believed that the invention cannot be devised simply by combining the techniques described in Cited Documents 1 and 2. Therefore, Mr. Examiner is kindly requested to recognize that the invention involves novelty and nonobviousness in all the aspects according to the claims.

答 弁 書

特許庁審査官 柳 下 勝 幸 殿

1. 国際出願の表示 PCT/JPO3/00403

2. 出願人

名称 株式会社 日立製作所

H I T A C H I , L T D .

あて名 〒101-8010

日本国東京都千代田区神田駿河台四丁目6番地

6, Kanda Surugadai 4-chome, Chiyoda-ku,

T O K Y O 1 0 1 - 8 0 1 0 J A P A N

国籍 日本国 J A P A N

住所 日本国 J A P A N

3. 代理人

氏名 (8907) 弁理士 玉 村 静 世

T A M A M U R A S h i z u y o

あて名 〒101-0052

日本国東京都千代田区神田小川町2丁目10番地

新山城ビル42号

Room 42, Shin Yamashiro Building,

10, Kanda Ogawamachi 2-chome, Chiyoda-ku,

T O K Y O 1 0 1 - 0 0 5 2 J A P A N

4. 通知の日付 . 06. 05. 03

5. 答弁の内容

〔1〕審査官殿は、請求の範囲1—14、18—31に記載の発明は下

記文献 1 - 8 により進歩性を有しない、とのご認定である。

文献 1 : T.Kawahara,M.Horiguchi,J.Etoh,T.Sekiguchi,
K.Kimura,M.Aoki,"Low-Power Chip Interconnection by Dynamic
Termination",IEEE J.of Solid-State Circuits,Vol.30,No.9,
1995.09.30,p.1030-1034

文献 2 : JP 2-235435 A

〔 2 〕 本願発明の概要

出願人は当該答弁書と同日付けの手續補正書にて請求の範囲を減縮補正した。補正の要点は、請求項 3 を削除し、それに伴い、請求項 4 , 5 を独立形式に改めた点にある。

請求項 1 及び 2 に係る発明は、信号遷移の後半での駆動力が遷移の前半の駆動力よりも低めに設定された出力回路を備えることで、信号出力における反射波の発生を抑え、ダンピング抵抗や終端抵抗などの外付け部品を不要とすることを特徴とする。

また、請求項 8 , 9 に係る発明は、出力すべき信号の遷移の前半に、内部回路の出力信号に基づいて外部負荷を駆動可能な第 1 出力回路と、上記第 1 出力回路に比べて駆動力が小さく設定され、上記外部負荷を駆動可能な第 2 出力回路とを含む出力回路を設け、上記第 1 出力回路が負荷駆動に関与しない期間（信号遷移の後半）においては、上記第 2 出力回路により外部負荷駆動が行われることで、反射波の発生を抑え、インピーダンス整合のためのダンピング抵抗や終端抵抗などの外付け部品を不要とすることを特徴とする。

〔 3 〕 引用発明と本願発明の比較

引用文献 2 の図 2 に記載されている出力回路（出力バッファ 2、レベル検出回路 3 及び 3 値出力バッファ）は、負荷が増加したときに、電流

不足により出力レベルが低下するのを防ぎ、また、出力レベルが変化した後には電流を流さないように工夫されたものであり、出力信号が遷移される際の反射波を抑えることについて一切考慮されていないのは、引用文献 2 の記載から明らかである。つまり、引用文献 2 には、「信号の立ち上がり、又は立ち下がり及び負荷の増大により出力レベルが低下したときに、3 値出力バッファ 4 が入力に応じた信号を出力し、立ち上がり、立ち下がりが急峻になるとともに、出力レベルの低下を防ぐ」旨の記載はあるものの、入力 1 に与えられる入力信号の遷移の如何なるタイミングで上記 3 値出力バッファ 4 が動作状態から非動作状態に変化するか（すなわち、出力駆動力が大から小に変化するか）については全く記載されていない。例えば、3 値出力バッファ 4 が動作状態から非動作状態に変化するタイミングは、レベル変換回路 3 におけるデバイスの遅延時間や論理スレッシュホールドレベルが深く関係することが推定されるものの、入力信号が完全に変化する前（信号遷移の後半部）に 3 値出力バッファ 4 が動作状態から非動作状態に変化するものなのか、或いは入力信号が完全に変化した後には 3 値出力バッファ 4 が動作状態から非動作状態に変化するものなのかについて、引用文献 2 には一切記載されていない。このため、入力信号が完全に変化した後には 3 値出力バッファ 4 が動作状態から非動作状態に変化するように回路定数が設定されていた場合には、3 値出力バッファ 4 が動作状態から非動作状態になることによって、信号遷移における反射波の発生を抑えることができないため、信号の急峻な変化に起因して反射波が発生することが考えられ、当該出力回路が適用されるシステムによっては、インピーダンス整合のためのダンピング抵抗や終端抵抗などの外付け部品が必要になることが考えられる。

これに対して、本願の請求項 1 及び 2 における出力回路は、信号遷移

の後半での駆動力が遷移の前半の駆動力よりも低めに設定されることで、信号遷移における反射波の発生を抑えることができ、それによってインピーダンス整合のためのダンピング抵抗や終端抵抗などの外付け部品が不要になる、という有利な効果を奏する。従って、請求項 1 及び 2 に係る発明は、引用文献 2 記載の出力回路と、引用文献 1 記載の入力回路とを用いて当業者が容易に為し得るものではなく、進歩性を有するものと思料する。

審査官殿は、「引用文献 2 にはロジック信号出力回路として、出力すべき信号の遷移の前半にのみ外部負荷を駆動する出力回路を、通常出力回路に並列接続することにより、遷移の前半に全体的駆動力を上昇させ、それ以降は駆動力を相対的に落とす点が記載されている」とのご認定である。

しかしながら、引用文献 2 には、上記のように「信号の立ち上がり、又は立ち下がり及び負荷の増大により出力レベルが低下したときに、3 値出力バッファ 4 が入力に応じた信号を出力し、立ち上がり、立ち下がりが急峻になるとともに、出力レベルの低下を防ぐ」旨の記載はあるものの、入力 1 に与えられる入力信号の遷移の如何なるタイミングで上記 3 値出力バッファ 4 が動作状態から非動作状態に変化するかについては全く記載されていないことから、引用文献 2 における 3 値出力バッファ 4 は、出力すべき信号の遷移の前半にのみ外部負荷を駆動するもの、と解することはできない。

本願の請求項 8, 9 に係る発明は、出力すべき信号の遷移の前半に、内部回路の出力信号に基づいて外部負荷を駆動可能な第 1 出力回路と、上記第 1 出力回路に比べて駆動力が小さく設定され、上記外部負荷を駆動可能な第 2 出力回路とを含む出力回路を設けたものであり、上記第 1 出力回路は、上記引用文献 2 における 3 値出力バッファ 4 とは機

能が異なるものであるから、本願の請求項 8 , 9 に係る発明は新規性を有するものと思料する。

また、上記のように、引用文献 2 において、3 値出力バッファ 4 が動作状態から非動作状態に変化するタイミングは、レベル変換回路 3 におけるデバイスの遅延時間や論理スレッショルドレベルが深く関係することが推定されるものの、入力信号が完全に変化する前（信号遷移の後半部）に 3 値出力バッファ 4 が動作状態から非動作状態に変化するものなのか、或いは入力信号が完全に変化した後に 3 値出力バッファ 4 が動作状態から非動作状態に変化するものなのかについては一切記載されておらず、入力信号が完全に変化した後に 3 値出力バッファ 4 が動作状態から非動作状態に変化するように回路定数が設定されていた場合には、3 値出力バッファ 4 が動作状態から非動作状態になることによって、信号遷移における反射波の発生を抑えることができないため、信号の急峻な変化に起因して反射波が発生することが考えられ、当該出力回路が適用されるシステムによっては、インピーダンス整合のためのダンピング抵抗や終端抵抗などの外付け部品が必要になることが考えられる。

これに対して、請求項 8 , 9 に係る発明は、出力すべき信号の遷移の前半に、内部回路の出力信号に基づいて外部負荷を駆動可能な第 1 出力回路と、上記第 1 出力回路に比べて駆動力が小さく設定され、上記外部負荷を駆動可能な第 2 出力回路とを含む出力回路を設け、上記第 1 出力回路が負荷駆動に関与しない期間（信号遷移の後半）においては、上記第 2 出力回路により外部負荷駆動が行われることで、反射波の発生を抑え、インピーダンス整合のためのダンピング抵抗や終端抵抗などの外付け部品が不要になるという、有利な効果を奏する。従って、請求項 8 及び 9 に係る発明は、引用文献 2 記載の出力回路と、引用文献 1 記載の入力回路とを用いて当業者が容易に為し得るものでは

なく、進歩性を有するものと思料する。

以上より、上記引用文献 1，2 を単に組合わせただけでは本願発明に想到することはできないと確信する。よって本願請求の範囲の全ての発明は新規性及び進歩性を備える発明であるとの認定を賜りたく願い上げる次第である。

以 上